

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 11015451
PUBLICATION DATE : 22-01-99

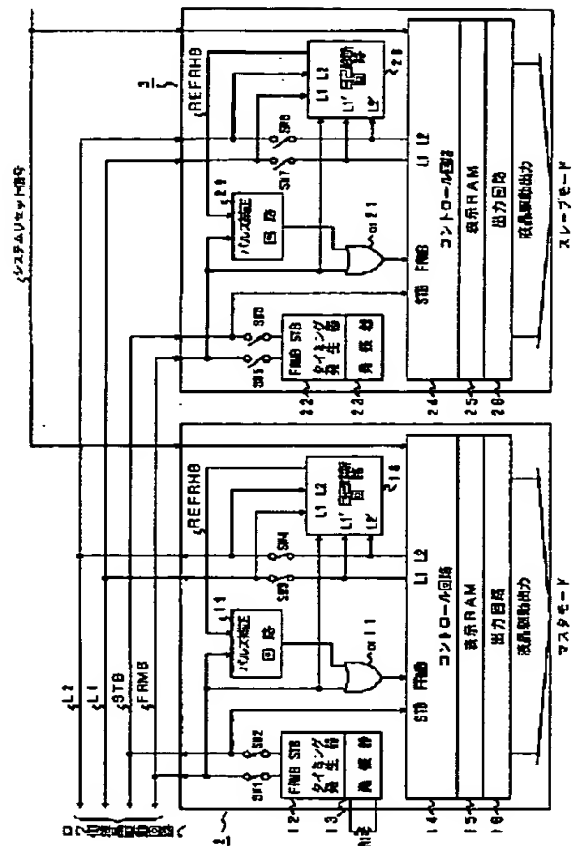
APPLICATION DATE : 20-06-97
APPLICATION NUMBER : 09179169

APPLICANT : NEC IC MICROCOMPUT SYST LTD;

INVENTOR : YUKI NOBUYUKI;

INT.CL. : G09G 3/36 G02F 1/133

TITLE : LIQUID CRYSTAL DRIVING CIRCUIT
AND CONTROL METHOD THEREFOR



ABSTRACT : PROBLEM TO BE SOLVED: To prevent the occurrence of the blackout of a liquid crystal display by performing a synchronization without utilizing a system resetting function at the time of eliminating a synchronous deviation when the synchronous deviation is generated in the circuit.

SOLUTION: A slave mode liquid crystal driving circuit outputs gradation level signals L1', L2' from a control circuit 24 of itself to input them to a self-diagnostic circuit 28. Here, they are compared with gradation level signals L1, L2 to be inputted from the control circuit 14 of a master mode liquid crystal driving circuit as to whether L1=L1', L2=L2' or not, and when they are not matched with each other, the circuit 28 judges that a synchronous deviation is generated to invert the logic of a signal REFRHB from the circuit 28 whilst they are noncoincident. The synchronous deviation is dissolved by the inversion of the logic of the signal REFRHB. Then, the synchronous deviation is eliminated by inserting an 'H' pulse during a period when a frame signal FRMB to be inputted from the master liquid crystal driving circuit to the control circuit 24 while the logic of the signal REFRHB is inverted is an 'L'.

COPYRIGHT: (C)1999,JPO

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-15451

(43)公開日 平成11年(1999) 1月22日

(51)Int.Cl.⁶

識別記号

F I

G 0 9 G 3/36

G 0 9 G 3/36

G 0 2 F 1/133

5 7 5

G 0 2 F 1/133

5 7 5

審査請求 有 請求項の数 7 F D (全 20 頁)

(21)出願番号

特願平9-179169

(22)出願日

平成9年(1997) 6月20日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会
社神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 幸 信行

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

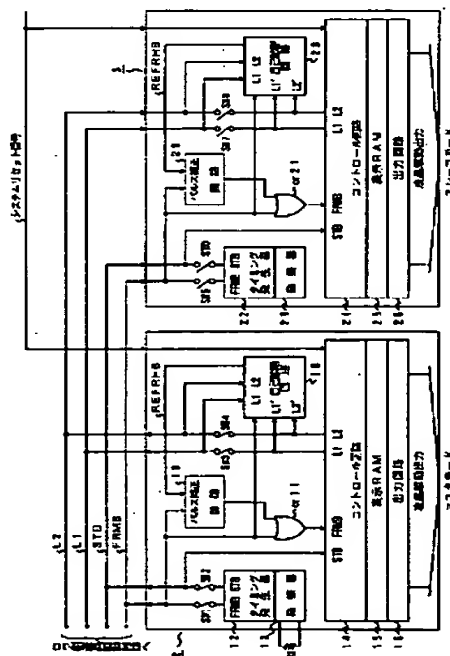
(74)代理人 弁理士 高橋 友二

(54)【発明の名称】 液晶駆動回路及びその制御方法

(57)【要約】

【課題】 マスタとスレーブ液晶駆動回路の階調レベル信号の値を同期させる際に表示オフを無くし、液晶ディスプレイのブラックアウトを防ぐ。

【解決手段】 同期ズレを起こしたスレーブモード自身でマスタモードの階調レベル信号を同期を取るためにパルス補正回路にて生成された信号を階調レベル信号発生器に送信し自己補正を行う。また同期ズレを起こしたスレーブモードが自身及び他の階調レベル信号発生器およびタイミング発生器を初期化して同期化する。



【特許請求の範囲】

【請求項1】 それぞれが階調レベル信号発生器を内蔵するコントロール回路を備えたカラム側液晶駆動回路でマスタモード液晶駆動回路と単数または複数のスレーブモード液晶駆動回路とが構成され、

前記マスタモード液晶駆動回路は、

発振器13およびタイミング発生器12により液晶駆動タイミング信号STBおよびフレーム信号FRMBを生成して自己のコントロール回路14に入力して液晶駆動出力を出力すると共に、この液晶駆動タイミング信号STBおよびフレーム信号FRMBを前記スレーブモード液晶駆動回路へ送出し、自己のコントロール回路14から階調レベル信号L1、L2を出力して前記スレーブモード液晶駆動回路へ送出し、

前記スレーブモード液晶駆動回路は、

前記液晶駆動タイミング信号STBおよびフレーム信号FRMBを自己のコントロール回路24に入力して液晶駆動出力を出力すると共に、自己のコントロール回路24から階調レベル信号L1'、L2'を出力して自己診断回路28に入力し、この自己診断回路28に入力される前記階調レベル信号L1、L2と、L1=L1'、L2=L2'であるか否かを比較し、これらが一致しない場合同期ズレが生じているとして前記自己診断回路28からの信号REFRHBの論理を不一致の間反転し、この信号REFRHBの論理の反転によって同期ズレを解消する液晶駆動回路の制御方法において、前記信号REFRHBの論理が反転している間、前記マスタモード液晶駆動回路から前記コントロール回路24へ入力されるフレーム信号FRMBの「L」期間の間に「H」パルスを挿入していつて同期ズレを解消することを特徴とする液晶駆動回路の制御方法。

【請求項2】 それぞれが階調レベル信号発生器を内蔵するコントロール回路を備えたカラム側液晶駆動回路でマスタモード液晶駆動回路と単数又は複数のスレーブモード液晶駆動回路とが構成され、

前記マスタモード液晶駆動回路は、

発振器13およびタイミング発生器12により液晶駆動タイミング信号STBおよびフレーム信号FRMBを生成して自己のコントロール回路14に入力して液晶駆動出力を出力すると共に、この液晶駆動タイミング信号STBおよびフレーム信号FRMBを前記スレーブモード液晶駆動回路へ送出し、自己のコントロール回路14から階調レベル信号L1、L2を出力して前記スレーブモード液晶駆動回路へ送出し、

前記スレーブモード液晶駆動回路は、

前記液晶駆動タイミング信号STBおよびフレーム信号FRMBを自己のコントロール回路24に入力して液晶駆動出力を出力すると共に、自己のコントロール回路24から階調レベル信号L1'、L2'を出力して自己診断回路28に入力し、この自己診断回路28に入力され

る前記階調レベル信号L1、L2と、L1=L1'、L2=L2'であるか否かを比較し、これらが一致しない場合同期ズレが生じているとして不一致の間前記自己診断回路28からの信号REFRHBの論理を反転し、この信号REFRHBの論理の反転によって同期ズレを解消する液晶駆動回路の制御方法において、

前記信号REFRHBの論理が反転している間、前記マスタモード液晶駆動回路から前記コントロール回路24へ入力される前記フレーム信号FRMB及び液晶前記駆動タイミング信号STBの入力を停止させて同期ズレを解消することを特徴とする液晶駆動回路の制御方法。

【請求項3】 それぞれが階調レベル信号発生器を内蔵するコントロール回路を備えたカラム側液晶駆動回路でマスタモード液晶駆動回路と単数または複数のスレーブモード液晶駆動回路とが構成され、

前記マスタモード液晶駆動回路は、

発振器13およびタイミング発生器12により液晶駆動タイミング信号STBおよびフレーム信号FRMBを生成して自己のコントロール回路14に入力して液晶駆動出力を出力すると共に、この液晶駆動タイミング信号STBおよびフレーム信号FRMBを前記スレーブモード液晶駆動回路へ送出し、自己のコントロール回路14から階調レベル信号L1、L2を出力して前記スレーブモード液晶駆動回路へ送出し、

前記スレーブモード液晶駆動回路は、

前記液晶駆動タイミング信号STBおよびフレーム信号FRMBを自己のコントロール回路24に入力して液晶駆動出力を出力すると共に、自己のコントロール回路24から階調レベル信号L1'、L2'を出力して自己診断回路28に入力し、この自己診断回路28に入力される前記階調レベル信号L1、L2と、L1=L1'、L2=L2'であるか否かを比較し、これらが一致しない場合同期ズレが生じているとして不一致の間前記自己診断回路28からの信号REFRHBの論理を反転し、この信号REFRHBの論理の反転によって同期ズレを解消する液晶駆動回路の制御方法において、

前記信号REFRHBを全てのカラム側液晶駆動回路の前記タイミング発生器及びコントロール回路へ入力し、前記タイミング発生器と前記コントロール回路に内蔵される前記階調レベル信号発生器をリセットすることによって同期ズレを解消することを特徴とする液晶駆動回路の制御方法。

【請求項4】 それぞれが階調レベル信号発生器を内蔵するコントロール回路を備えたカラム側液晶駆動回路でマスタモード液晶駆動回路と単数又は複数のスレーブモード液晶駆動回路とが構成され、

前記マスタモード液晶駆動回路は、

発振器13およびタイミング発生器12により液晶駆動タイミング信号STBおよびフレーム信号FRMBを生成して自己のコントロール回路14に入力して液晶駆動

出力を出力すると共に、この液晶駆動タイミング信号STBおよびフレーム信号FRMBを前記スレーブモード液晶駆動回路へ送出し、自己のコントロール回路14から階調レベル信号L1、L2を出力して前記スレーブモード液晶駆動回路へ送出する手段を備え、

前記スレーブモード液晶駆動回路は、

前記液晶駆動タイミング信号STBおよびフレーム信号FRMBを自己のコントロール回路24に入力して液晶駆動出力を出力すると共に、自己のコントロール回路24から階調レベル信号L1'、L2'を出力して自己診断回路28に入力し、この自己診断回路28に入力される前記階調レベル信号L1、L2と、L1=L1'、L2=L2'であるか否かを比較し、これらが一致しない場合同期ズレが生じているとして前記自己診断回路28からの信号REFRHBの論理を不一致の間反転し、この信号REFRHBの論理の反転によって同期ズレを解消する手段を備えた液晶駆動回路において、

前記スレーブモード液晶駆動回路に、

前記信号REFRHBの論理が反転している間、前記マスタモード液晶駆動回路から前記コントロール回路24へ入力されるフレーム信号FRMBの「L」期間の間に「H」パルスを挿入していつて同期ズレを解消する補正回路を備えたことを特徴とする液晶駆動回路。

【請求項5】 それぞれが階調レベル信号発生器を内蔵するコントロール回路を備えたカラム側液晶駆動回路でマスタモード液晶駆動回路と単数又は複数のスレーブモード液晶駆動回路とが構成され、

前記マスタモード液晶駆動回路は、

発振器13およびタイミング発生器12により液晶駆動タイミング信号STBおよびフレーム信号FRMBを生成して自己のコントロール回路14に入力して液晶駆動出力を出力すると共に、この液晶駆動タイミング信号STBおよびフレーム信号FRMBを前記スレーブモード液晶駆動回路へ送出し、自己のコントロール回路14から階調レベル信号L1、L2を出力して前記スレーブモード液晶駆動回路へ送出する手段を備え、

前記スレーブモード液晶駆動回路は、

前記液晶駆動タイミング信号STBおよびフレーム信号FRMBを自己のコントロール回路24に入力して液晶駆動出力を出力すると共に、自己のコントロール回路24から階調レベル信号L1'、L2'を出力して自己診断回路28に入力し、この自己診断回路28に入力される前記階調レベル信号L1、L2と、L1=L1'、L2=L2'であるか否かを比較し、これらが一致しない場合同期ズレが生じているとして前記自己診断回路28からの信号REFRHBの論理を不一致の間反転し、この信号REFRHBの論理の反転によって同期ズレを解消する手段を備えた液晶駆動回路において、

前記スレーブモード液晶駆動回路に、

前記信号REFRHBの論理が反転している間、前記マ

スタモード液晶駆動回路から前記コントロール回路24へ入力される前記フレーム信号FRMB及び前記液晶駆動タイミング信号STBの入力を停止させて同期ズレを解消する補正回路を備えたことを特徴とする液晶駆動回路。

【請求項6】 前記自己診断回路28は、その最終段にインバータを備えたことを特徴とする請求項4乃至請求項5の何れかに記載の液晶駆動回路。

【請求項7】 それぞれが階調レベル信号発生器を内蔵するコントロール回路を備えたカラム側液晶駆動回路でマスタモード液晶駆動回路と単数又は複数のスレーブモード液晶駆動回路とが構成され、

前記マスタモード液晶駆動回路は、

発振器13およびタイミング発生器12により液晶駆動タイミング信号STBおよびフレーム信号FRMBを生成して自己のコントロール回路14に入力して液晶駆動出力を出力すると共に、この液晶駆動タイミング信号STBおよびフレーム信号FRMBを前記スレーブモード液晶駆動回路へ送出し、自己のコントロール回路14から階調レベル信号L1、L2を出力して前記スレーブモード液晶駆動回路へ送出する手段を備え、

前記スレーブモード液晶駆動回路は、

前記液晶駆動タイミング信号STBおよびフレーム信号FRMBを自己のコントロール回路24に入力して液晶駆動出力を出力すると共に、自己のコントロール回路24から階調レベル信号L1'、L2'を出力して自己診断回路28に入力し、この自己診断回路28に入力される前記階調レベル信号L1、L2と、L1=L1'、L2=L2'であるか否かを比較し、これらが一致しない場合同期ズレが生じているとして前記自己診断回路28からの信号REFRHBの論理を不一致の間反転し、この信号REFRHBの論理の反転によって同期ズレを解消する手段を備えた液晶駆動回路において、

前記信号REFRHBを全てのカラム側液晶駆動回路の前記タイミング発生器及びコントロール回路へ入力し、前記タイミング発生器と前記コントロール回路に内蔵される前記階調レベル信号発生器をリセットして同期ズレを解消する手段を備えたことを特徴とする液晶駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶駆動回路に関し、特に表示RAMや表示RAMアドレス、階調演算回路等のコントロール回路を内蔵する液晶駆動回路及びその制御方法に関する。

【0002】

【従来の技術】近年、PDA(Personal Digital Assistants 携帯用情報端末)等では、低消費電力化が重要視されることから、液晶表示装置のカラム側液晶駆動回路に表示RAMや表示RAMアドレス回路、階調演算回路

等のコントロール回路を内蔵させ、この液晶表示装置を使用する装置の低消費電力化を図る技術の開発が進められている。このような液晶表示装置の駆動回路は、カラム側液晶駆動回路である階調表示用液晶駆動回路の出力と、ロウ側液晶駆動回路であるライン選択液晶駆動回路の出力とを組み合わせることで液晶ディスプレイ表示が行われる。

【0003】カラム側液晶駆動回路には、マスタモード、スレーブモードの2モードがあり、マスタモードでは内蔵発振器を動作させ、スレーブモード液晶駆動回路及びロウ側液晶駆動回路へ同期信号を送信する。それぞれのカラム側液晶駆動回路は、表示RAMやコントロール回路等を内蔵しているため、マスタ液晶駆動回路からの同期信号を基に、各スレーブ液晶駆動回路のコントロール回路が、マスタ液晶駆動回路のコントロール回路と同期を取る構成となっている。然しながらマスタ液晶駆動回路からの供給信号線に外来ノイズ等が乗り、スレーブ液晶駆動回路が誤ってこのノイズを信号と判断すると、マスタとスレーブ間のコントロール回路の階調演算回路等の動作に同期ズレが生じ、階調演算回路より生成されたカラム側液晶駆動出力値と、液晶階調レベル信号を基に出力されるロウ側液晶駆動出力値との差で現される液晶ディスプレイ表示が、マスタ駆動回路と同期がズレたスレーブ駆動回路によって、その出力分の縦ラインの液晶表示パネルの表示異常が継続する。

【0004】このような同期ズレは、マスタ側のコントロール回路で生成され、ロウ側液晶駆動回路に送信される階調レベル信号と、スレーブ液晶駆動回路の各々コントロール回路で生成された階調レベル信号との比較で判断できることから、従来の液晶駆動回路では、スレーブ液晶駆動回路内の自己診断回路で同期ズレを判断し、判断したスレーブ液晶駆動回路から全スレーブ液晶駆動回路にシステムリセット信号を供給し、カラム側の全液晶駆動回路の初期化を行い同期ズレを解消することとしている。然しながらこの初期化を行うために、液晶ディスプレイ表示が一瞬ブラックアウトするという問題が生じる。以下、これについて詳述する。

【0005】図12は従来の液晶表示装置の一例を示すブロック図である。480×240サイズの液晶ディスプレイ1にカラム側液晶駆動回路IC2～4が3個設けられ、ロウ側液晶駆動回路IC5が1個設けられた構成において、カラム側液晶駆動回路2～4のうち、液晶駆動回路2はマスタモードに、他のカラム側液晶駆動回路3～4はスレーブモードに設定され、マスタモードの液晶駆動回路2は、発振器外付け抵抗R1を接続し、内部発振器を動作して、液晶駆動タイミング信号STB、フレーム信号FRMB、階調レベル信号L1、L2を、カラム側スレーブモード液晶駆動回路3～4と、ロウ側液晶駆動回路5に供給する構成となっており、また自己診断回路出力REFRHBは各カラム側液晶駆動回路2～

4を互いに接続している。またCPUインタフェース信号7及びシステムリセット信号6は、外部から入力される。

【0006】次に図13を参照し、カラム側液晶駆動回路のうちのマスタモード2とスレーブモード3との構成および接続関係について説明する。マスタモード2及びスレーブモード3共に、発振器13、23、タイミング発生器12、22、自己診断回路18、28、コントロール回路14、24、表示RAM15、25、出力回路16、26を備えている。

【0007】なお実際には、マスタモードに指定されたカラム側液晶駆動回路では、自己診断回路18は不要となり、スレーブモードに指定されたカラム側液晶駆動回路では、発振器23及びタイミング発生器22は不要となるが、同一の液晶駆動回路を使用しているためスイッチSW1～SW8でこれらの切換を行っている。マスタモード2では、スイッチSW1～4がオンすると、発振器用外付け抵抗R1が取り付けられた発振器13が動作して、タイミング発生器12より液晶駆動タイミング信号STBおよびフレーム信号FRMBが出力され、これらの信号が自己のコントロール回路14へ入力されて表示RAM15および出力回路16が動作し、液晶駆動出力が行われる。また、これらの信号はスレーブモード3及び図12に示すロウ側液晶駆動回路5へも供給される。またコントロール回路14より、階調レベル信号L1とL2とが出力され、これらの信号がスレーブモード3およびロウ側液晶駆動回路5へ供給される。

【0008】スレーブモード液晶駆動回路3は、スイッチSW5～8がオフし、発振器23及びタイミング発生器22が停止しているため、コントロール回路24への信号STB、FRMB及び自己診断回路28への信号FRMBは、マスタモード2からこれらの信号を入力し、表示RAM25及び出力回路26を動作させ液晶駆動出力を行い、またコントロール回路24から階調レベル信号L1とL2とを出力して、自己診断回路28に信号L1'、L2'として入力している。上述のように自己診断回路28への信号L1、L2は、マスタモード2のコントロール回路14から入力されており、信号L1、L2とL1'、L2'とが比較され、その結果、自己診断回路出力REFRHBが生成され、自己のAND回路27の一方に入力され、他方に入力されるシステムリセット信号とANDされると共に、この自己診断回路出力REFRHBがマスタモード2や他のスレーブモード4へも供給される構成となっている。

【0009】次に図14を参照して自己診断回路28の構成および動作について説明する。セット信号Sが「H」で、自己診断回路出力REFRHBは「H」がセットされ、信号L1とL1'およびL2とL2'の一致を、XOR1～2、NOR1で行い、何れか不一致が発生すると、フィリップフロップFF1のデータDに

「L」レベルが入力され、その状態でフレーム信号FRMBが立ち上がると、FF1の出力Qが「H」から「L」になり、この出力が遅延回路D1、インバータ回路INV1、NOR回路NOR2、N型MOSトランジスタNch、プルアップ抵抗RUで構成される回路により、自己診断回路出力REFRHBは遅延回路D1の遅延時間分の「L」となるように構成されている。

【0010】次に図15を参照し、従来の液晶駆動回路で同期ズレが発生し、このズレが復帰されるまでの動作について説明する。まずマスタモード2で出力される階調レベル信号L1、L2の動作サイクルについて、図15(B)を用いて説明する。1サイクルはフレーム信号FRMBが、F1～F4の4回のロウパルス信号の入力で1サイクルとなっており、液晶駆動タイミング信号STBはフレーム信号FRMBの「L」パルスと、次の「L」パルスとの間に、121回の立上り信号が入力される。

【0011】最初のフレーム信号FRMBのF1のタイミングで「L」パルスが入力されたときに、液晶駆動タイミング信号STBの1回目の立上り信号で、L1＝「H」、L2＝「H」が出力され、次にF2の「L」パルスが入力されるまでのSTB信号の立上り信号で、L2のレベルが反転する。以降、F2の時はL1＝「H」、L2＝「L」、F3の時はL1＝「L」、L2＝「L」、F4のときはL1＝「L」、L2＝「H」と言うように、STBの1回目の立上りでL2のレベルが反転する。

【0012】次に図15(A)において、フレーム信号FRMBにノイズ(N1)が乗った場合について説明する。最初にシステムリセット信号RESETBが入り、L1、L2の1サイクル分S1の間は、液晶駆動回路の初期化時間になっており、液晶ディスプレイ表示のちらつき防止のために、Y出力がオフ(ブラックアウト)となっており、次のサイクルS2以降はY出力が表示オン出力となる。そしてS2のオン出力の中で、ノイズN1がフレーム信号FRMBに1パルス乗った場合、次の液晶駆動タイミング信号STBの3の立上りで同期ズレが発生し、自己診断回路28の検出タイミングK1～K11のK6で同期ズレが検出され、自己診断回路出力REFRHBが所定期間「L」となり、自身も含め全てのカラム側液晶駆動回路IC2～4がAND回路27等によってリセットされ初期化される。従って階調レベル信号L1、L2は同期化されるが、次のサイクルS3ではY出力がオフとなり、次のサイクルS4以降にオンとなる。

【0013】

【発明が解決しようとする課題】従来の液晶駆動回路は以上のように例えばフレーム信号にノイズが乗ってマスタとスレーブの階調レベル信号に同期ズレが生じた場合、同期ズレを検出した自己診断回路出力REFRHB

を他の全てのカラム側液晶駆動回路へ送信して、全てのカラム側液晶駆動回路をリセットして初期化を行い同期ズレを解消することとしている。全てのカラム側液晶駆動回路が初期化されると、表示RAM及びコントロール回路の初期化時間の間の液晶ディスプレイ表示のちらつきを防止するため、表示オフ出力が働き、液晶ディスプレイ表示は正規のシステムリセット入力がないのに一瞬ブラックアウトされてしまい、目障りになると共に、表示故障と誤判断される恐れがある等の問題点があった。

【0014】本発明はかかる問題点を解決するためになされたものであり、マスタとスレーブの階調レベル信号に同期ズレが生じ、この同期ズレを解消する間も液晶ディスプレイ表示がブラックアウトすることのない液晶駆動回路及びその制御方法を提供することを目的としている。

【0015】

【課題を解決するための手段】本発明の液晶駆動回路の制御方法は、それぞれが階調レベル信号発生器を内蔵するコントロール回路を備えたカラム側液晶駆動回路でマスタモード液晶駆動回路と単数または複数のスレーブモード液晶駆動回路とが構成され、前記マスタモード液晶駆動回路は、発振器13およびタイミング発生器12により液晶駆動タイミング信号STBおよびフレーム信号FRMBを生成して自己のコントロール回路14に入力して液晶駆動出力を出力すると共に、この液晶駆動タイミング信号STBおよびフレーム信号FRMBを前記スレーブモード液晶駆動回路へ送出し、自己のコントロール回路14から階調レベル信号L1、L2を出力して前記スレーブモード液晶駆動回路へ送出し、前記スレーブモード液晶駆動回路は、前記液晶駆動タイミング信号STBおよびフレーム信号FRMBを自己のコントロール回路24に入力して液晶駆動出力を出力すると共に、自己のコントロール回路24から階調レベル信号L1'、L2'を出力して自己診断回路28に入力し、この自己診断回路28に入力される前記階調レベル信号L1、L2と、L1＝L1'、L2＝L2'であるか否かを比較し、これらが一致しない場合同期ズレが生じているとして前記自己診断回路28からの信号REFRHBの論理を不一致の間反転し、この信号REFRHBの論理の反転によって同期ズレを解消する液晶駆動回路の制御方法において、前記信号REFRHBの論理が反転している間、前記マスタモード液晶駆動回路から前記コントロール回路24へ入力されるフレーム信号FRMBの「L」期間の間に「H」パルスを挿入していった同期ズレを解消することと特徴とする。従ってシステム全体をリセットする必要なく同期ズレを解消でき、液晶ディスプレイ表示がブラックアウトされることがなくなる。

【0016】また、前記信号REFRHBの論理が反転している間、前記マスタモード液晶駆動回路から前記コントロール回路24へ入力される前記フレーム信号FR

MB及び液前記駆動タイミング信号STBの入力を停止させて同期ズレを解消することを特徴とする。従ってシステム全体をリセットする必要なく同期ズレを解消でき、液晶ディスプレイ表示がブラックアウトされることがなくなる。

【0017】さらに、前記信号REFRHBを全てのカラム側液晶駆動回路の前記タイミング発生器及びコントロール回路へ入力し、前記タイミング発生器と前記コントロール回路に内蔵される前記階調レベル信号発生器をリセットすることによって同期ズレを解消することを特徴とする。従ってシステム全体をリセットする必要なく同期ズレを解消でき、液晶ディスプレイ表示がブラックアウトされることがなくなる。

【0018】また本発明の液晶駆動回路は、それぞれが階調レベル信号発生器を内蔵するコントロール回路を備えたカラム側液晶駆動回路でマスタモード液晶駆動回路と単数又は複数のスレーブモード液晶駆動回路とが構成され、前記マスタモード液晶駆動回路は、発振器13およびタイミング発生器12により液晶駆動タイミング信号STBおよびフレーム信号FRMBを生成して自己のコントロール回路14に入力して液晶駆動出力を出力すると共に、この液晶駆動タイミング信号STBおよびフレーム信号FRMBを前記スレーブモード液晶駆動回路へ送出し、自己のコントロール回路14から階調レベル信号L1、L2を出力して前記スレーブモード液晶駆動回路へ送出する手段を備え、前記スレーブモード液晶駆動回路は、前記液晶駆動タイミング信号STBおよびフレーム信号FRMBを自己のコントロール回路24に入力して液晶駆動出力を出力すると共に、自己のコントロール回路24から階調レベル信号L1'、L2'を出力して自己診断回路28に入力し、この自己診断回路28に入力される前記階調レベル信号L1、L2と、L1=L1'、L2=L2'であるか否かを比較し、これらが一致しない場合同期ズレが生じているとして前記自己診断回路28からの信号REFRHBの論理を不一致の間反転し、この信号REFRHBの論理の反転によって同期ズレを解消する手段を備えた液晶駆動回路において、前記スレーブモード液晶駆動回路に、前記信号REFRHBの論理が反転している間、前記マスタモード液晶駆動回路から前記コントロール回路24へ入力されるフレーム信号FRMBの「L」期間の間に「H」パルスを挿入していった同期ズレを解消する補正回路を備えたことを特徴とする。従ってシステム全体をリセットする必要なく同期ズレを解消でき、液晶ディスプレイ表示がブラックアウトされることがなくなる。

【0019】また、前記スレーブモード液晶駆動回路に、前記信号REFRHBの論理が反転している間、前記マスタモード液晶駆動回路から前記コントロール回路24へ入力される前記フレーム信号FRMB及び液前記駆動タイミング信号STBの入力を停止させて同期ズ

レを解消する補正回路を備えたことを特徴とする。従ってシステム全体をリセットする必要なく同期ズレを解消でき、液晶ディスプレイ表示がブラックアウトされることがなくなる。

【0020】また前記自己診断回路28は、その最終段にインバータを備えたことを特徴とする。従って更に低消費電流化が可能となる。

【0021】さらに、前記信号REFRHBを全てのカラム側液晶駆動回路の前記タイミング発生器及びコントロール回路へ入力し、前記タイミング発生器と前記コントロール回路に内蔵される前記階調レベル信号発生器をリセットして同期ズレを解消する手段を備えたことを特徴とする。従って簡単な回路構成で、システム全体をリセットする必要なく同期ズレを解消でき、液晶ディスプレイ表示がブラックアウトされることがなくなる。

【0022】

【発明の実施の形態】以下、本発明の第1の実施形態を図面を参照して説明する。図1は、本発明の第1の実施形態が適用される液晶表示装置の装置構成の一例を示す図である。図1において、1は液晶ディスプレイ、2はカラム側液晶駆動回路IC（マスタモード）、3および4はカラム側液晶駆動回路IC（スレーブモード）、5はロウ側液晶駆動回路IC、6はシステムリセット信号、7はCPUインタフェース信号である。

【0023】480×240サイズの液晶ディスプレイ1にカラム側液晶駆動回路IC2～4が3個設けられ、ロウ側液晶駆動回路IC5が1個設けられた構成において、カラム側液晶駆動回路2～4のうち、液晶駆動回路2はマスタモードに、他のカラム側液晶駆動回路3～4はスレーブモードに設定され、マスタモードの液晶駆動回路2は、発振用外付け抵抗R1を接続し、内部発振器を動作して、液晶駆動タイミング信号STB、フレーム信号FRMB、階調レベル信号L1、L2を、カラム側スレーブモード液晶駆動回路3～4と、ロウ側液晶駆動回路5に供給する構成となっており、またCPUインタフェース信号7及びシステムリセット信号6が外部から入力される構成となっている。

【0024】次に図2を参照し、カラム側液晶駆動回路のうちのマスタモード2とスレーブモード3との構成および接続関係について説明する。マスタモード2及びスレーブモード3共に、発振器13、23、タイミング発生器12、22、自己診断回路18、28、コントロール回路14、24、表示ラム15、25、パルス補正回路19、29、OR回路or11、or12を備えている。

【0025】なお実際には、マスタモードに指定されたカラム側液晶駆動回路では、自己診断回路18、パルス補正回路19、OR回路or11は不要となり、スレーブモードに指定されたカラム側液晶駆動回路では、発振器23及びタイミング発生器22は不要となるが、同一

の液晶駆動回路を使用しているためスイッチSW1～SW8等でこれらの切換を行っている。マスタモード2では、スイッチSW1～4がオンすると、発振器用外付け抵抗R1が取り付けられた発振器13が動作して、タイミング発生器12より液晶駆動タイミング信号STBおよびフレーム信号FRMBが出力され、これらの信号が自己のコントロール回路14へ入力されて表示RAM15および出力回路16が動作し、液晶駆動出力が行われる。また、これらの信号はスレーブモード3及び図1に示すロウ側液晶駆動回路5へも供給される。またコントロール回路14より、階調レベル信号L1とL2とが出力され、これらの信号がスレーブモード3～4およびロウ側液晶駆動回路5へ供給される。

【0026】スレーブモード液晶駆動回路3は、スイッチSW5～8がオフし、発振器23及びタイミング発生器22が停止しているため、コントロール回路24へのSTB、FRMB信号は、マスタモード2からこれらの信号を入力し、表示RAM25及び出力回路26を動作させ液晶駆動出力を行うが、入力されるフレーム信号FRMBは、3つに分岐され、その1つがパルス補正回路29の一方の入力端子に入力され、他の1つはOR回路or21の一方の入力端子に入力され、このOR回路or21の他の一方の入力端子に入力されるパルス補正回路29の出力とORが取られてコントロール回路24に入力され、更に他の1つが自己診断回路28へ入力される構成となっている。またコントロール回路24から階調レベル信号L1とL2とを出力して、自己診断回路28に信号L1'、L2'として入力している。上述のように自己診断回路28へは、マスタモード2のコントロール回路14から信号L1、L2が入力されており、信号L1、L2とL1'、L2'とが比較され、その結果、自己診断回路出力REFRHBが生成され、パルス補正回路29の一方の端子へ入力される構成となっている。

【0027】次に図3を参照して、本実施形態の自己診断回路28の構成および動作について説明する。セット信号Sが「H」で、自己診断回路出力REFRHBに「H」がセットされ、信号L1とL1'およびL2とL2'の一致を、XOR1～2、NOR1で行い、何れか不一致が発生すると、フィリップフロップFF1のデータDに「L」レベルが入力され、その状態でフレーム信号FRMBが立ち上がると、FF1の出力Qが「H」から「L」になり、その信号が遅延回路D1、インバータ回路INV1、NOR回路NOR2、インバータ回路INV2で構成される回路により、自己診断回路出力REFRHBは遅延回路D1の遅延時間分「L」となるように構成されている。すなわち図14に示す従来の自己診断回路のNchトランジスタに替えてインバータ回路INV2を使用している。これは後述するように全てのコラム側液晶駆動回路を初期化する必要がないためであ

る。

【0028】次に図4を参照して本実施形態のパルス補正回路29の構成および動作について説明する。リセット信号RBで初期化され補正回路出力FRPWは「L」がセットされ、フレーム信号FRMBの立上り時、図3の自己診断回路出力REFRHBが入力され、次のフレーム信号FRMBの立下りでFF10のQ出力が「L」から「H」になると、遅延回路D20、遅延回路D30、インバータ回路INV10、AND回路AND10により、遅延回路D20の遅延時間分Dy1後に、遅延回路D30の遅延時間分の「H」パルス信号(PW1)が補正出力FRPWより出力される構成となっている。

【0029】次に図5を参照し、本実施形態の液晶駆動回路で同期ズレが発生し、このズレが復帰されるまでの動作について説明する。まずマスタモード2で出力される階調レベル信号L1、L2の動作サイクルについて、図5(B)を用いて説明する。1サイクルはフレーム信号FRMBが、F1～F4の4回のロウパルス信号の入力で1サイクルとなっており、液晶駆動タイミング信号STBはフレーム信号FRMBの「L」パルスと、次の「L」パルスとの間に、121回の立上り信号が入力される。

【0030】最初のフレーム信号FRMBのF1のタイミングで「L」パルスが入力されたときに、液晶駆動タイミング信号STBの1回目の立上り信号で、L1＝「H」、L2＝「H」が出力され、次にF2の「L」パルスが入力されるまでのSTB信号の立上り信号で、L2のレベルが反転する。以降、F2の時はL1＝「H」、L2＝「L」、F3の時はL1＝「L」、L2＝「L」、F4の時はL1＝「L」、L2＝「H」と言うように、STBの1回目の立上りでL2のレベルが反転する。

【0031】次に図5(A)において、フレーム信号FRMBにノイズ(N1)が乗った場合について説明する。最初にシステムリセット信号RESETBが入り、L1、L2の1サイクル分S1の間は、液晶駆動回路の初期化時間になっており、液晶ディスプレイ表示のちらつき防止のために、Y出力がオフ(ブラックアウト)となっており、次のサイクルS2以降はY出力がオンとなる。そしてS2のオン出力の中で、ノイズN1がフレーム信号FRMBに1パルス乗った場合、次の液晶駆動タイミング信号STBの3の立上りで同期ズレが発生し、自己診断回路28の検出タイミングK1～K10のK6で、L1≠L1'となり、自己診断回路28の出力REFRHBに「L」パルス信号が発生し、自身のパルス補正回路29の一方に入力され、このパルス補正回路29の他の一方に入力されるフレーム信号FRMBの立下りで、図4(B)の(PW1)に示すように、パルス補正回路出力FRPWに遅延回路D30の遅延時間分の「H」パルス信号が発生し、この「H」パルスがフレー

ム信号FRMBとのOR回路or21に入力され、このOR回路or21の出力であるコントロール回路24に入力されるフレーム信号FRMBに「H」パルスが+1追加され、自身のコントロール回路24の階調レベル信号のサイクルの状態がマスタモード2の階調レベル信号のサイクルの状態より+1進み、信号L1'、L2'は、「L」、「L」となるが、次のK7のタイミングでL1≠L1'、L2≠L2'と未だ同期がズレているため、フレーム信号FRMBのF4の立下りで、パルス補正回路29から再び「H」パルスが+1追加され(PW2)、このようにしてK9のタイミングで同期が取れるまでパルス補正回路29から「H」パルスが+1追加されて(PW3)、同期化される。従って何れのカラム側液晶駆動回路2~4のリセットを行うことなく、同期ズレを解消でき、同期化されるまでの間もY出力は表示オン出力となり、ブラックアウトされることを回避できるようにしている。

【0032】次に本発明の第2の実施形態について図面を参照して説明する。この第2の実施形態の液晶駆動回路が適用される液晶表示装置は、図1に示す液晶表示装置と同じであり、その説明は省略する。図6はこの第2の実施形態におけるマスタモード2とスレーブモード3との構成および接続関係を示す図であり、図7で後述するようにパルス補正回路29の構成と、OR回路or21およびor22により、マスタモード2から入力される液晶駆動タイミング信号STBとフレーム信号FRMBとがパルス補正回路29の出力MASKとORされてコントロール回路24に入力される構成となっている点を除き、図2に示す第1の実施形態の構成と同様である。また自己診断回路28の構成及び動作も図3に示す第1の実施形態と同様であり、これらの説明は省略する。

【0033】次に図7を参照し本実施形態におけるパルス補正回路の構成及び動作について説明する。リセット信号RBで初期化され、パルス補正回路出力MASKは「L」状態となっており、自己診断回路出力REFRHBの「L」で、パルス補正回路出力MASKが「H」となり、次のフレーム信号FRMBの立上りでパルス補正回路出力MASKが「H」から「L」になるように構成されている。

【0034】次に図8を参照し、この第2の実施形態の液晶駆動回路で同期ズレが発生し、このズレが復帰されるまでの動作について説明する。なお、図8(B)に示すマスタモード2で出力される階調レベル信号L1、L2の動作サイクルについては、図5(B)に示す第1の実施形態と同様であるのでその説明は省略する。次に図8(A)において、フレーム信号FRMBにノイズ(N1)が乗った場合について説明する。最初にシステムリセット信号RESETBが入り、L1、L2の1サイクル分S1の間は、液晶駆動回路の初期化時間になってお

り、液晶ディスプレイ表示のちらつき防止のために、Y出力がオフ(ブラックアウト)となっており、次のサイクルS2以降はY出力がオンとなる。そしてS2のオン出力の中で、ノイズN1がフレーム信号FRMBに1パルス乗った場合、次の液晶駆動タイミング信号STBの3の立上りで同期ズレが発生し、自己診断回路28の検出タイミングK1~K10のK6で、L1≠L1'となり、自己診断回路28の出力REFRHBに「L」パルス信号が発生し、自身のパルス補正回路29の一方に入力され、このパルス補正回路29の出力MSAKが「H」となり、それぞれのOR回路or21、or22の出力が「H」となり、マスタモード2から入力される液晶駆動タイミング信号STBとフレーム信号FRMBのクロックはコントロール回路24には入力されない。以降K7のタイミングで同期が確立し自己診断回路28の出力REFRHBが「H」となると、パルス補正回路29の出力MSAKが「L」となり、コントロール回路24へはマスタモードからの液晶駆動タイミング信号STBとフレーム信号FRMBのクロックが入力され、通常の動作に復帰する。従って何れのカラム側液晶駆動回路2~4のリセットを行うことなく、同期ズレを解消でき、同期化されるまでの間もY出力は表示オン出力となり、ブラックアウトされることを回避できるようになる。

【0035】次に本発明の第3の実施形態を図面を参照して説明する。この第3の実施形態が適用される液晶表示装置は、従来技術として説明した図12と同様であり、その説明は省略する。図9はこの第3の実施形態におけるマスタモード2とスレーブモード3との構成および接続関係を示す図であり、その構成は自己診断回路出力REFRHBとシステムリセット信号とがAND回路を介さずにそのままコントロール回路24に入力されている点、および自己診断回路の出力REFRHBがそれぞれのタイミング発生器12に入力されている点を除き、図13に示す従来技術の構成と同様になっている。

【0036】図10は、この第3の実施形態のコントロール回路24に内蔵されている階調レベル信号発生器31の接続関係を示す図である。階調レベル信号発生器31は、図11(B)のL1、L2の動作のサイクルを発生させる回路であり、システムリセット信号と自己診断回路の出力REFRHBのAND論理で初期化され、次の液晶駆動タイミング信号STBの立上りで信号L1=「H」、L2=「H」の状態になる(図11(B)のF1)。

【0037】次に図11(A)において、フレーム信号FRMBにノイズ(N1)が乗った場合について説明する。最初にシステムリセット信号RESETBが入り、L1、L2の1サイクル分S1の間は、液晶駆動回路の初期化時間になっており、液晶ディスプレイ表示のちらつき防止のために、Y出力がオフ(ブラックアウト)と

なっており、次のサイクルS2以降はY出力がオンとなる。そしてS2のオン出力の中で、ノイズN1がフレーム信号FRMBに1パルス乗った場合、次の液晶駆動タイミング信号STBの3の立上りで同期ズレが発生し、自己診断回路28の検出タイミングK1～K11のK6で、 $L1 \neq L1'$ となり、自己診断回路28の出力REFRHBに「L」パルス信号が発生し、自身のコントロール回路24及びタイミング発生器22にこの自己診断出力REFRHBが入力される他、他の全てのカラム側液晶駆動回路に入力され、各々のタイミング発生器およびコントロール回路に内蔵された階調レベル信号発生器31がリセットされるが、各々のコントロール回路の他の制御回路へはシステムリセット信号の「H」がそのまま継続して維持され、従って何れのカラム側液晶駆動回路2～4の表示動作はリセットされることなく、同期ズレを解消でき、同期化されるまでの間もY出力は表示オン出力となり、ブラックアウトされることを回避できるようにする。

【0038】

【発明の効果】本発明の液晶駆動回路及びその制御方法は以上説明したように構成され動作することで以下のような効果が生じる。同期ズレが発生し、同期ズレを解消する際にシステムリセット機能を利用せずに同期化を行う構成としたので、液晶ディスプレイ表示のブラックアウトをなくすることができる。また第1の実施形態および第2の実施形態においては、同期ズレが生じた液晶駆動回路自身で同期化を行う構成としたため、全てのカラム液晶駆動回路ICを初期化する必要がなく、各カラム液晶駆動回路IC間を接続する自己診断回路出力REFRHB線を省略でき、液晶表示装置の簡素化が図れる。さらに全てのカラム液晶駆動回路ICを初期化するためのREFRHB端子のNchオープンドレインが不要となるため、更なる低消費電流化が図れる（例えばVGAサイズ8個の場合リセット時間中の貫通電流MAX5mAが削減できる）等の効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態が適用される液晶表示装置の装置構成の一例を示す図である。

【図2】本発明の第1の実施形態を説明するための図である。

【図3】本実施形態の自己診断回路28の構成および動作を説明するための図である。

【図4】図2に示す第1の実施形態のパルス補正回路29の構成および動作を説明するための図である。

【図5】第1の実施形態における同期ズレ解消動作を説明するための図である。

【図6】本発明の第2の実施形態を説明するための図である。

【図7】図6に示す第2の実施形態のパルス補正回路29の構成および動作を説明するための図である。

【図8】第2の実施形態における同期ズレ解消動作を説明するための図である。

【図9】本発明の第3の実施形態を説明するための図である。

【図10】第3の実施形態における階調レベル信号発生器の接続関係を示す図である。

【図11】第3の実施形態における同期ズレ解消動作を説明するための図である。

【図12】従来の液晶駆動回路が適用される液晶表示装置の一例を示す図である。

【図13】従来の液晶駆動回路を説明するための図である。

【図14】従来の液晶駆動回路の自己診断回路28の構成および動作を説明するための図である。

【図15】従来の液晶駆動回路における同期ズレ解消動作を説明するための図である。

【符号の説明】

1 液晶ディスプレイ

2 カラム側液晶駆動回路IC（マスターモード）

3～4 カラム側液晶駆動回路IC（スレーブモード）

5 ロウ側液晶駆動回路IC

6 システムリセット信号

7 CPUインタフェース信号

12、22 タイミング発生器

13、23 発振器

14、24 コントロール回路

15、25 表示ラム

17、27、AND10、AND20、AND30、AND40 AND回路

18、28 自己診断回路

19、29 パルス補正回路

31 階調レベル信号発生器

or11、or12、or21、or22 OR回路

XOR1、XOR2 XOR回路

NOR1、NOR2 NOR回路

FF1、FF10、FF11、フリップフロップ

INV1、INV2、INV10 インバータ回路

D1、D10、D11、D20、D30 遅延回路

Nch N型MOSトランジスタ

DOOFB' 表示フ出力

STB 液晶駆動タイミング信号

FRMB フレーム信号

L1、L2 マスターモード階調レベル信号

L1'、L2' スレーブモード階調レベル信号

REFRHB 自己診断回路出力

RESETB システムリセット信号

FRPW、MASK パルス補正回路出力

N1 ノイズ

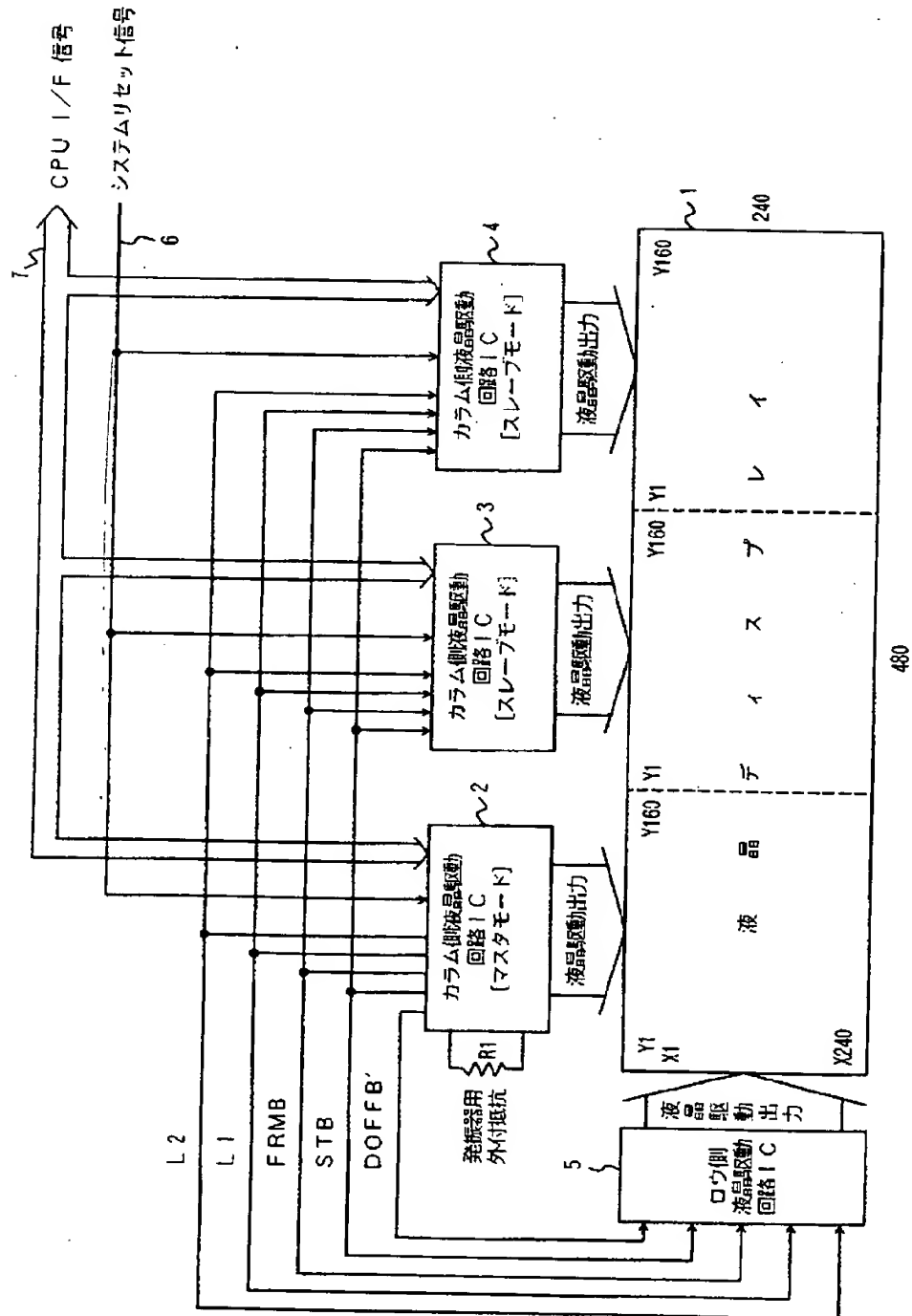
S1～4 L1、L2の動作サイクル

K1～K11 自己診断検出タイミング

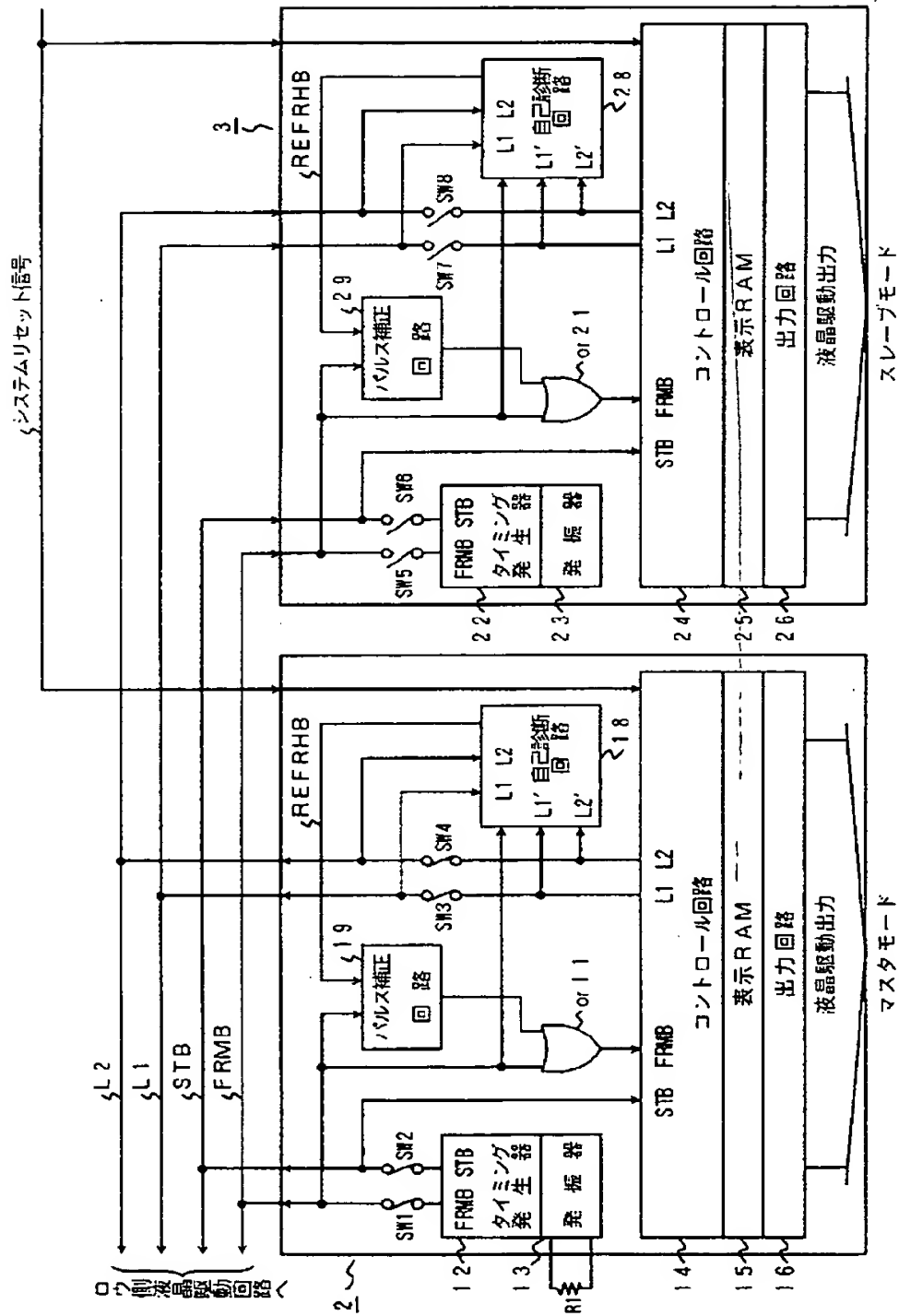
PW1~3 パルス補正回路出力

Y出力 液晶駆動出力

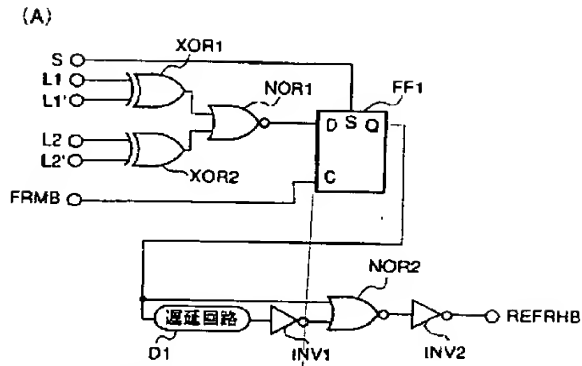
【図1】



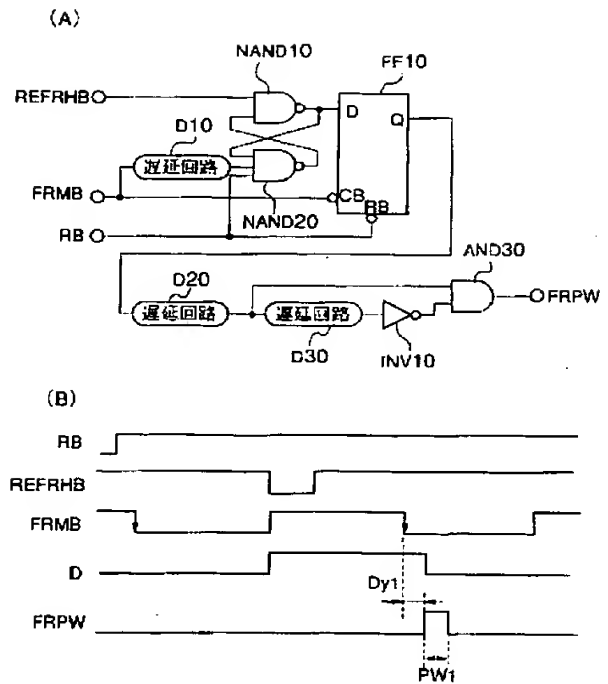
【図2】



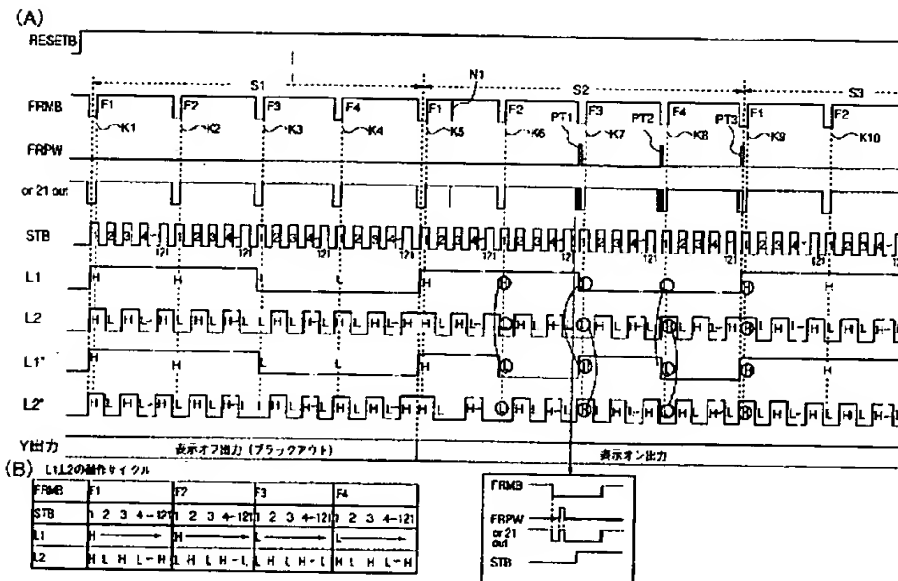
【図3】



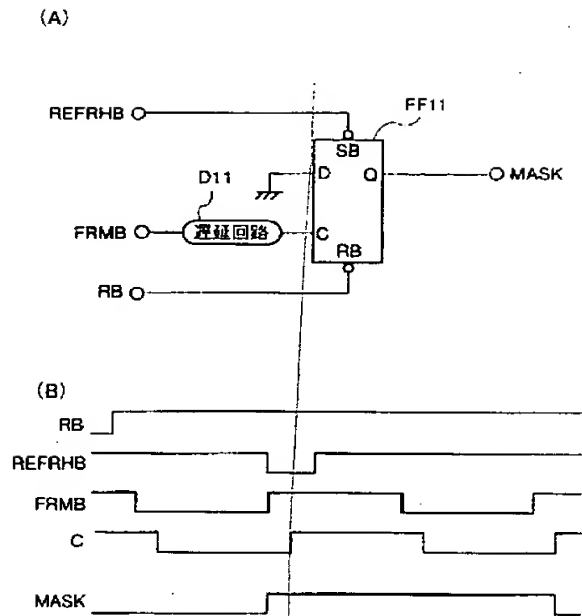
【図4】



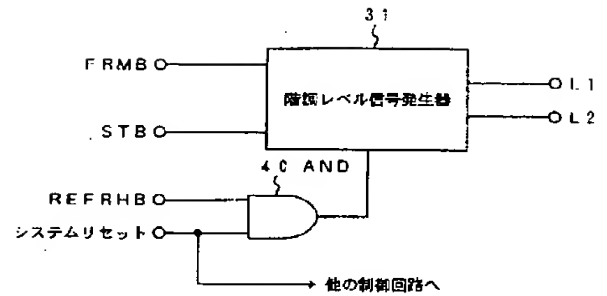
【図5】



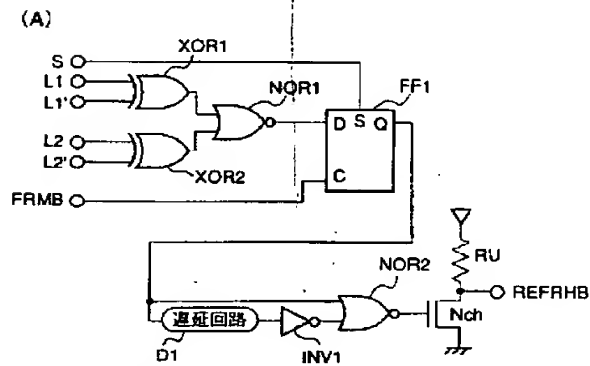
【図7】



【図10】



【図14】



(A)

RESETB

FRMB

STB

MASK

or 21 out

or 22 out

L1

L2

L1'

L2'

S1 S2 S3 S4

N1

F1 F2 F3 F4

K1 K2 K3 K4 K5 K6 K7 K8 K9 K10

M1 M2 M3 M4 M5 M6 M7 M8 M9 M10

O1 O2 O3 O4 O5 O6 O7 O8 O9 O10

L1 L2 L3 L4 L5 L6 L7 L8 L9 L10

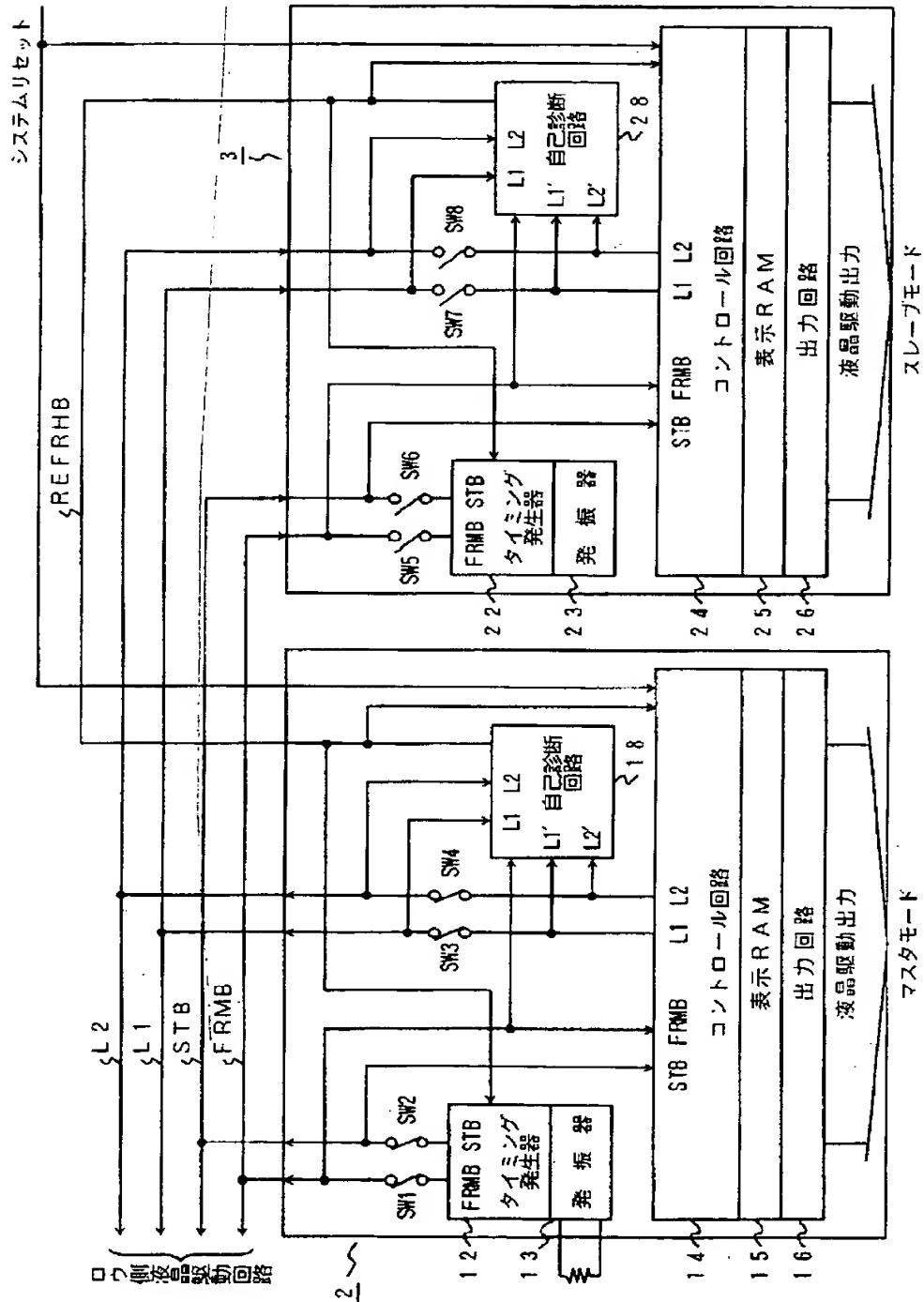
L1' L2'

表示オン出力

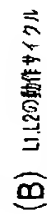
(B) 11.12の動作サイクル

	F1	F2	F3	F4
FRMB	1	2	3	4
STB	1	2	3	4
L1	H	H	L	L
L2	H	H	L	L

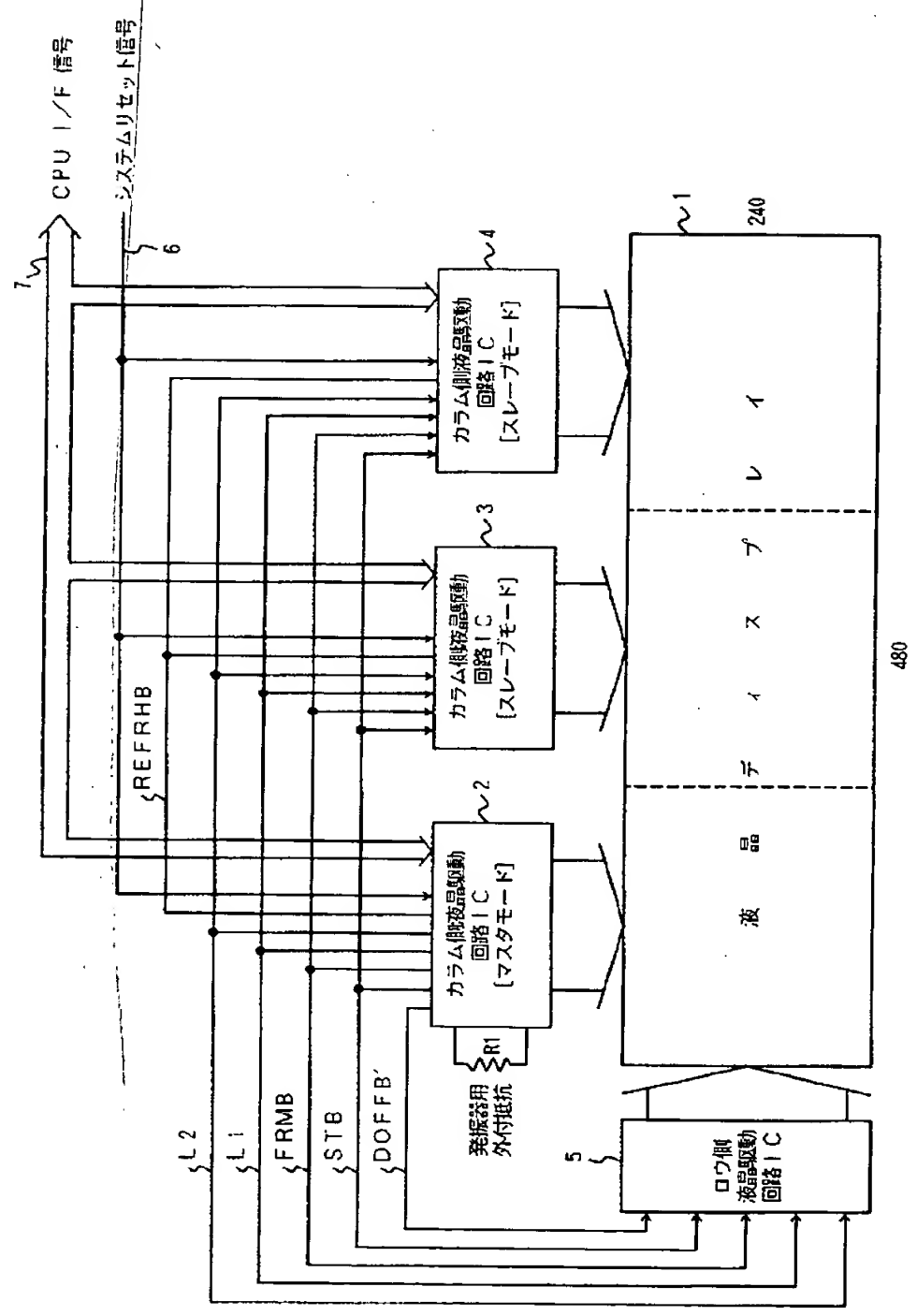
【図9】



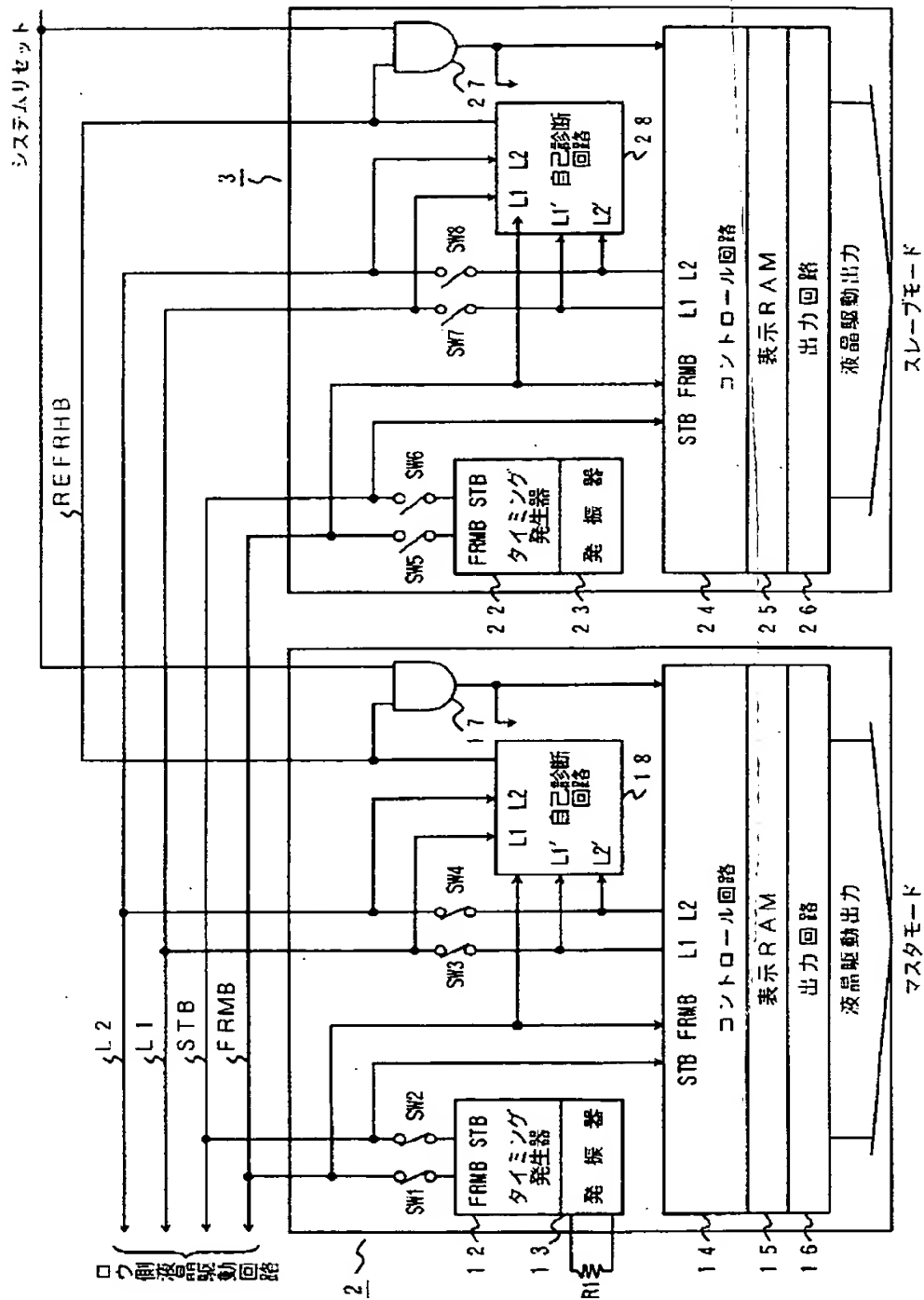
(A)

[illegible]

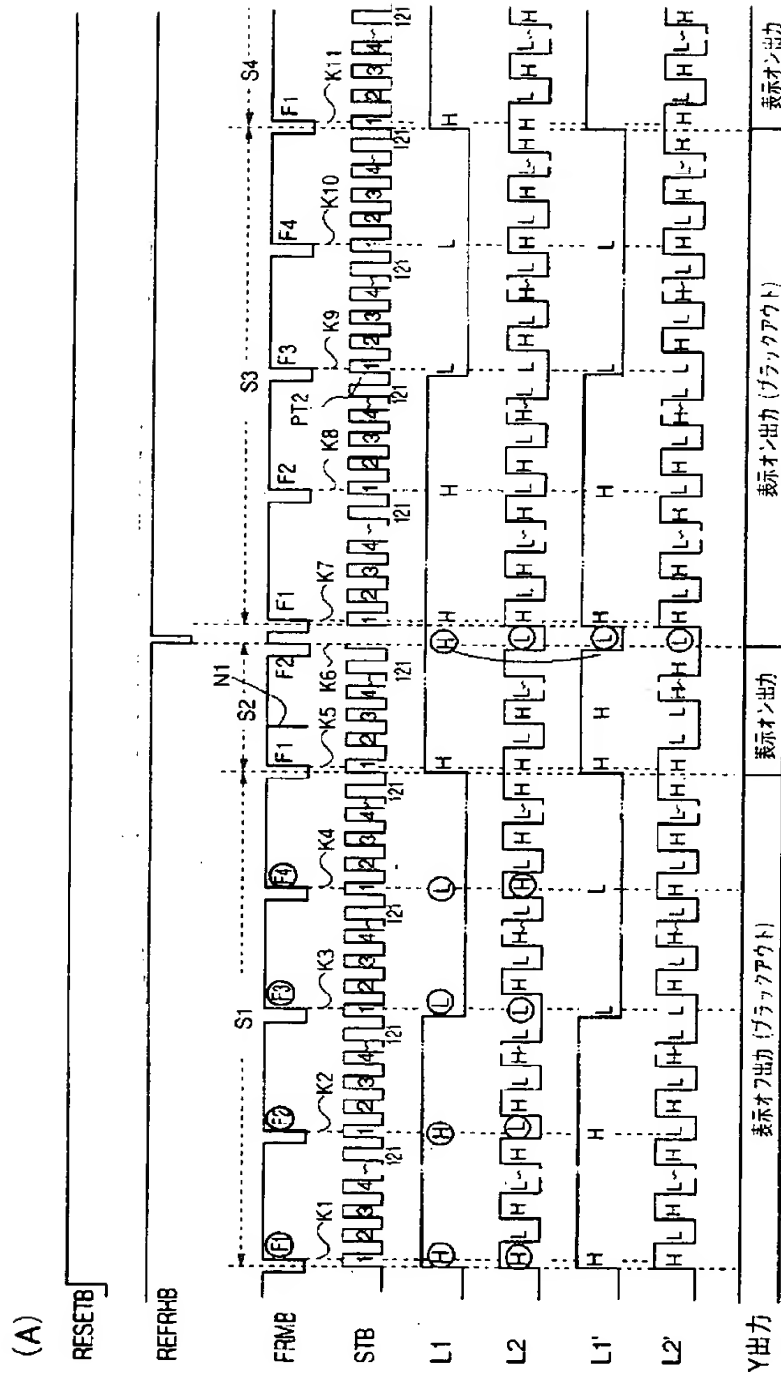
【図12】



【図13】



【図15】



(B) L1L2の動作サイクル

FRMB	①	②	③	④
STB	1 2 3 4 ~ 12	1 2 3 4 ~ 12	1 2 3 4 ~ 12	1 2 3 4 ~ 12
L1	H	H	L	L
L2	H	L	H	L

XP-002208777

AN - 1999-158150 [14]

AP - JP19970179169 19970620; [Previous Publ. JP11015451] ; JP19970179169
19970620

CPY - NIDE

DC - P81 P85 T04 U14

FS - GMPI;EPI

IC - G02F1/133 ; G09G3/20 ; G09G3/36

MC - T04-H03B T04-H03C2A U14-K01A3

PA - (NIDE) NEC IC MICROCOMPUTER SYSTEMS LTD

PN - JP3076272B2 B2 20000814 DW200043 G09G3/36 021pp

- JP11015451 A 19990122 DW199914 G09G3/36 020pp

PR - JP19970179169 19970620

XIC - G02F-001/133 ; G09G-003/20 ; G09G-003/36

XP - N1999-114753

AB - J11015451 NOVELTY - When the logic state of a self-diagnostics circuit output (REFRHB) undergoes inversion, the supply of a frame signal (FRMB) and LC drive timing signal (STB) from a master mode LC drive circuit (2) to control circuit (24) of the slave mode LC drive circuit (3) is stopped. DETAILED DESCRIPTION - An INDEPENDENT CLAIM is included for LC drive circuit.

- USE - For LC drive circuit.

- ADVANTAGE - Black out of LC display is prevented by synchronizing value of gradation level signal of master and slave LC drive circuits.

DESCRIPTION OF DRAWING(S) - The figure shows circuit block diagram of LC drive circuit. (2) Master mode LC drive circuit; (3) Slave mode LC drive circuit; (24) Control circuit; (REFRHB) Signal output by self-diagnostic circuit; (FRMB) Frame signal; (STB) LC drive timing signal.

- (Dwg.2/15)

IW - SYNCHRONOUS OFFSET ELIMINATE METHOD LC DRIVE CIRCUIT STOP SUPPLY FRAME SIGNAL LC DRIVE TIME SIGNAL MASTER MODE LC DRIVE CIRCUIT SLAVE MODE LC DRIVE CIRCUIT LOGIC STATE SPECIFIC SIGNAL INVERT

IKW - SYNCHRONOUS OFFSET ELIMINATE METHOD LC DRIVE CIRCUIT STOP SUPPLY FRAME SIGNAL LC DRIVE TIME SIGNAL MASTER MODE LC DRIVE CIRCUIT SLAVE MODE LC DRIVE CIRCUIT LOGIC STATE SPECIFIC SIGNAL INVERT

NC - 001

OPD - 1997-06-20

ORD - 1999-01-22

PAW - (NIDE) NEC IC MICROCOMPUTER SYSTEMS LTD

TI - Synchronous offset elimination method for LC drive circuit - involves stopping supply of frame signal and LC drive timing signal from master mode LC drive circuit to slave mode LC drive circuit when logic state of specific signal undergoes inversion

THIS PAGE BLANK (USPTO)